

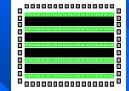
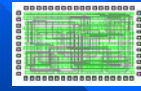
Curso de Doctorado:
Microelectrónica Digital.

Leopoldo García Franquelo
Departamento de Ingeniería Electrónica.

Tema 3: Dispositivos Programables
por el usuario

Introducción a los Dispositivos
Programables por el Usuario

Circuitos Completamente a medida



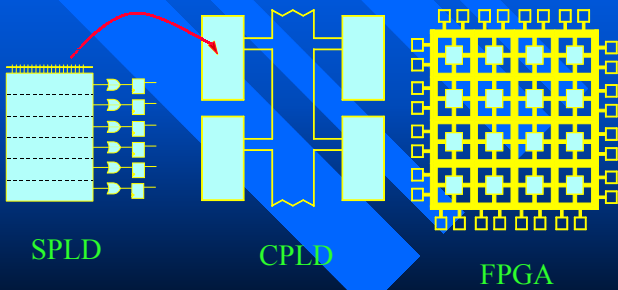
Células Estándar (Fab. Todas las máscaras)

Predifundidos (Fab. Últimas máscaras)

Dispositivos Programables
por el usuario



Tipos de dispositivos
programables por el usuario

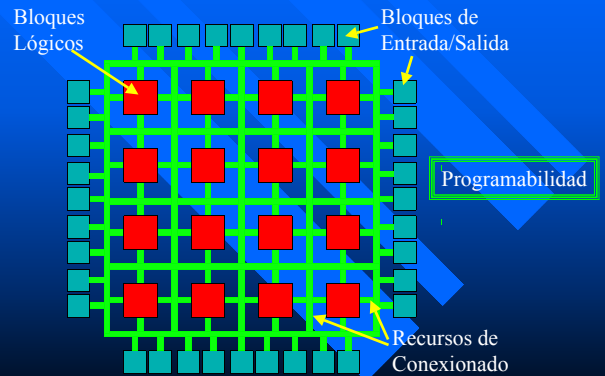


SPLD

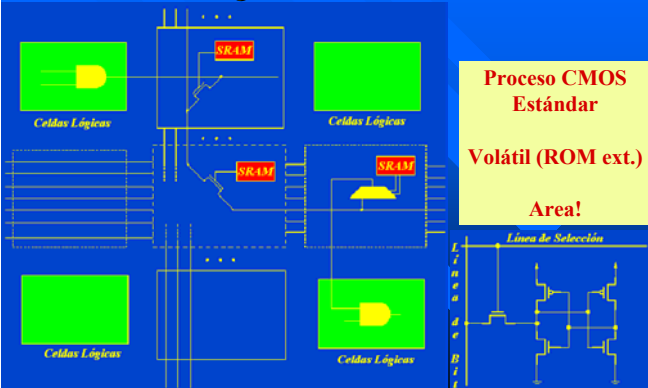
CPLD

FPGA

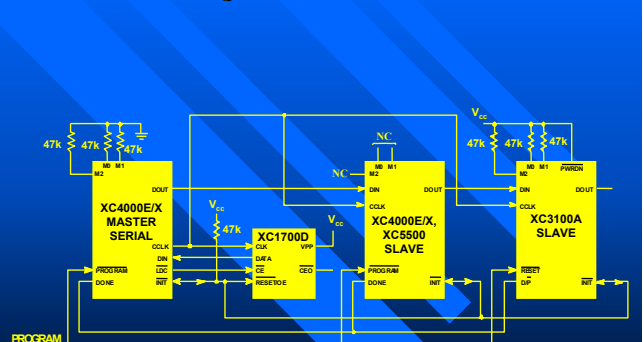
Modelo de FPGAs



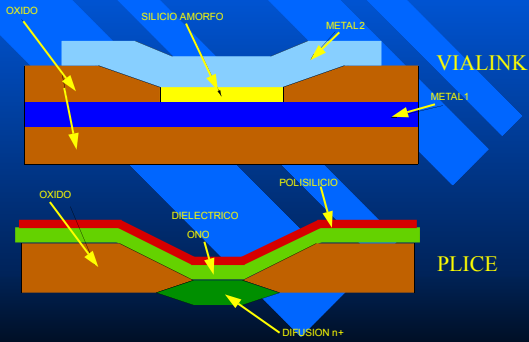
Programación: SRAM



Programación: SRAM



Programación: ANTIFUSIBLES (1)

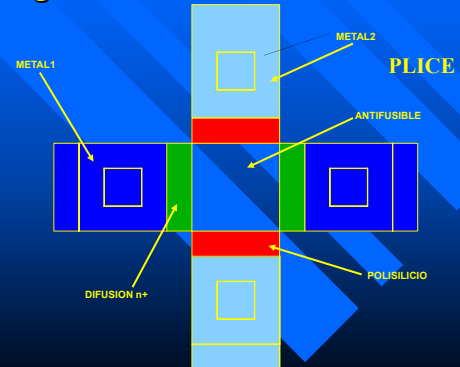


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

7

Programación: ANTIFUSIBLES (2)

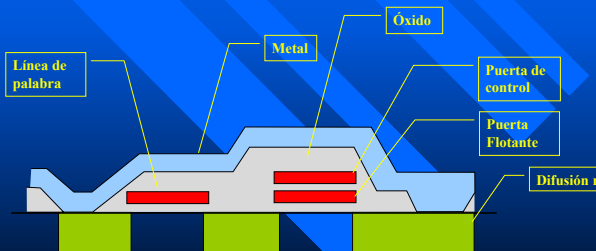


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

8

Programación: EPROM (1)

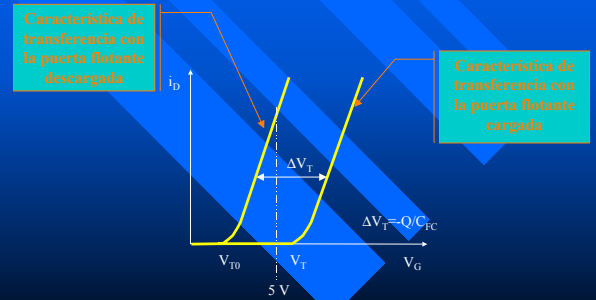


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

9

Programación: EPROM (2)

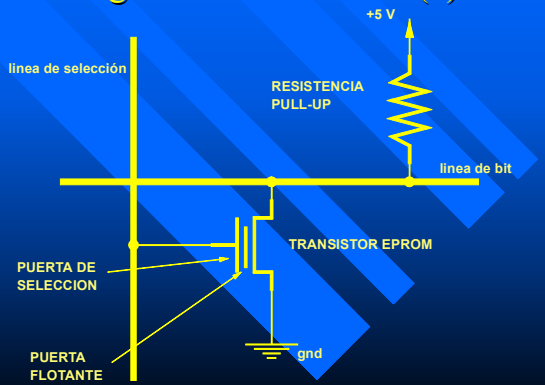


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

10

Programación: EPROM (3)

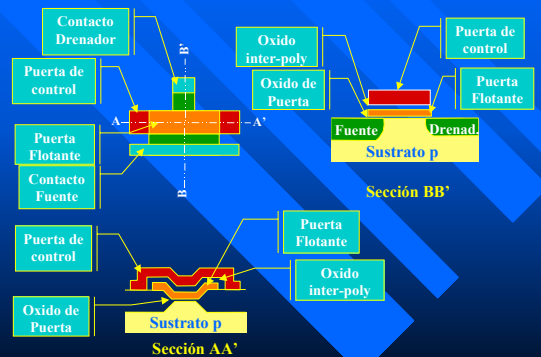


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

11

Programación: FLASH (1)



05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

12

Programación: FLASH (2)



Programación: inyección de electrones desde el drenador

Borrado: Efecto Fowler-Nordheim (Túnel) hacia la fuente

05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

13

Programación: Resumen (1)

| Técnica | Volátil | Reprogr. | Área | R (Ohm) | C (fF) |
|---------|---------|----------|--|---------|--------|
| SRAM | SI | Interna | Grande | 1-2K | 10-20 |
| PLICE | NO | NO | Pequeña Antifusible, Grande Programación | 300-500 | 3-5 |
| VIALINK | NO | NO | Pequeña Antifusible, Grande Programación | 50-80 | 1-3 |
| EPROM | NO | Externa | Pequeña | 2-4K | 10-20 |
| EEPROM | NO | Externa | EEPROM | 2-4K | 10-20 |

05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

14

Programación: Resumen (2)

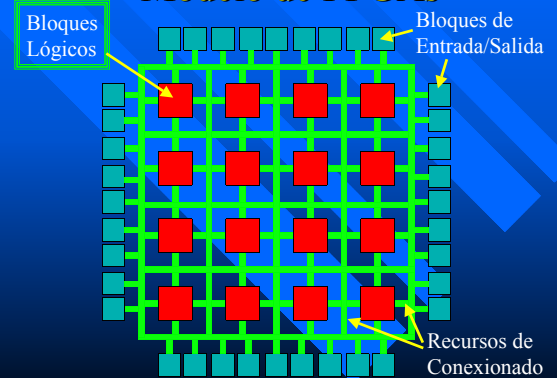
| Técnica | Area Celda μ^2 | t_{acceso} (ns) | Num. Ciclos de Escritura | Tiempo de Retención |
|---------|--------------------|--------------------------|--------------------------|---------------------|
| RAM | 16-17 | 80-100 | $>10^{12}$ | 3-10 años |
| EPROM | 9 | 100-150 | 1-10 | 20 años |
| EEPROM | 48-60 | 100-150 | 10^6 | 10 años |
| FLASH | 7-10 | 80-120 | 10^5 | 10 años |

05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

15

Modelo de FPGAs

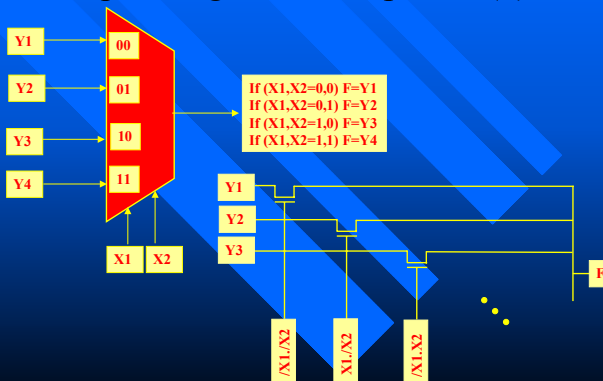


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

16

Bloques Lógicos: Multiplexor (1)

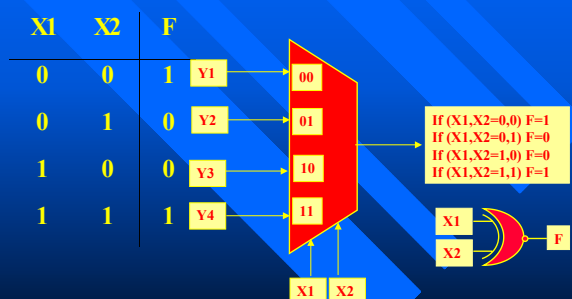


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

17

Bloques Lógicos: Multiplexor (2)

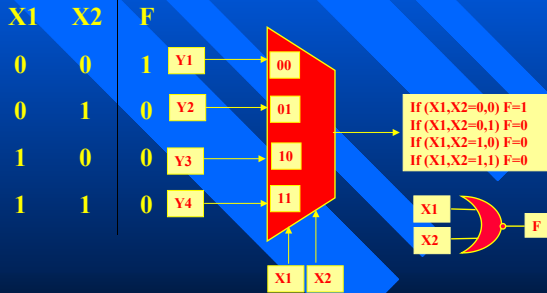


05/02/2002

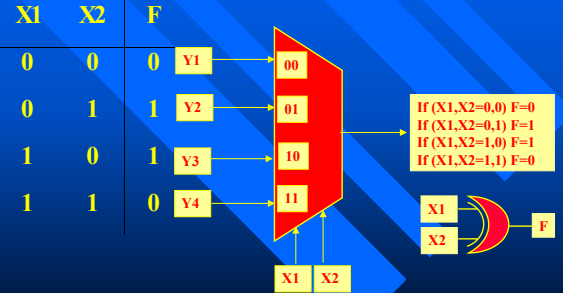
C. Doctorado: Microelectrónica Digital. Tema III

18

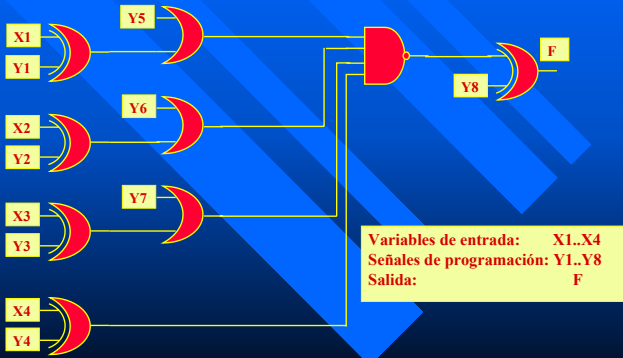
Bloques Lógicos: Multiplexor (3)



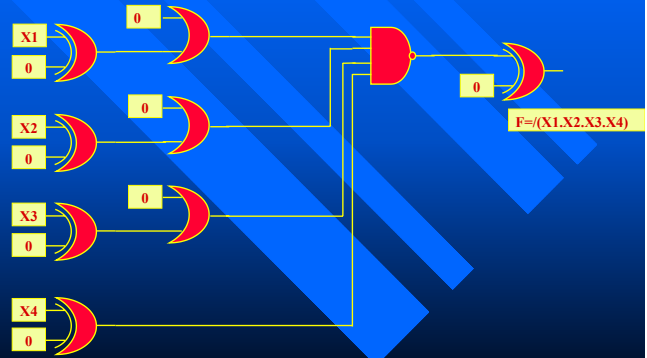
Bloques Lógicos: Multiplexor (4)



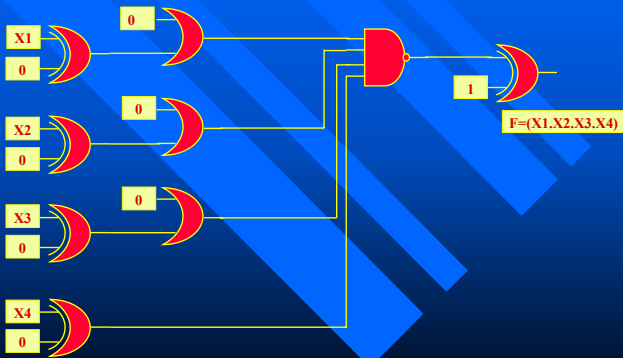
Bloques Lógicos: Ejemplo (1)



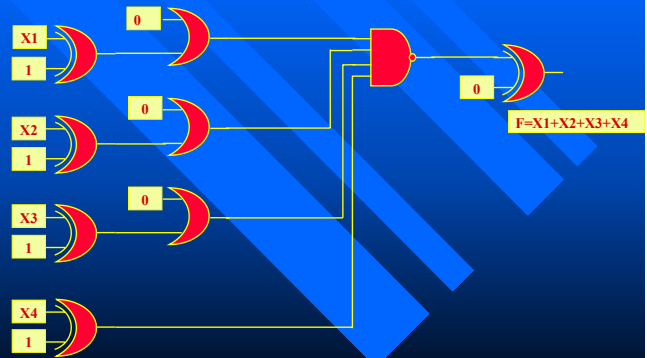
Bloques Lógicos: Ejemplo (2)



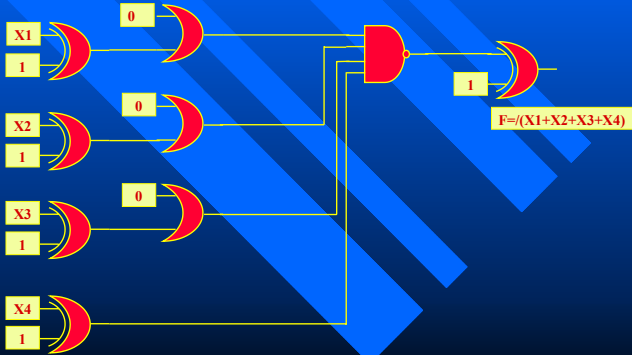
Bloques Lógicos: Ejemplo (3)



Bloques Lógicos: Ejemplo (4)



Bloques Lógicos: Ejemplo (5)

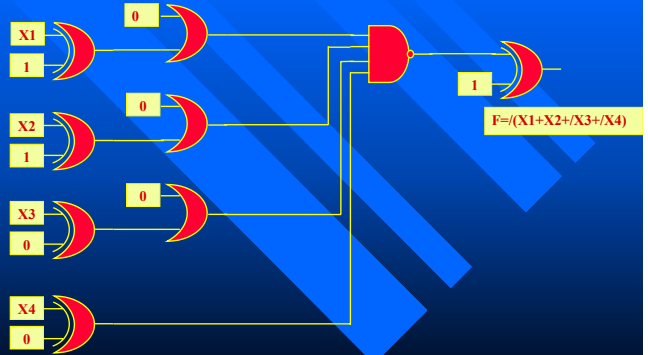


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

25

Bloques Lógicos: Ejemplo (6)

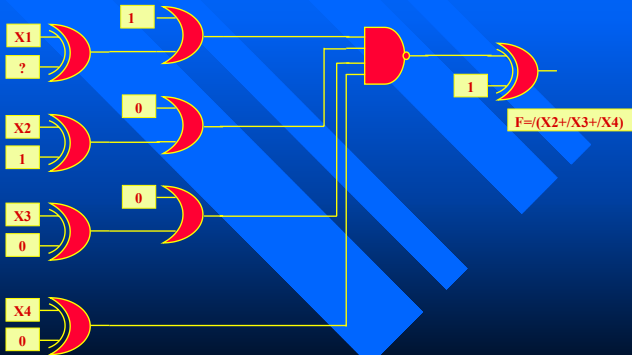


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

26

Bloques Lógicos: Ejemplo (7)

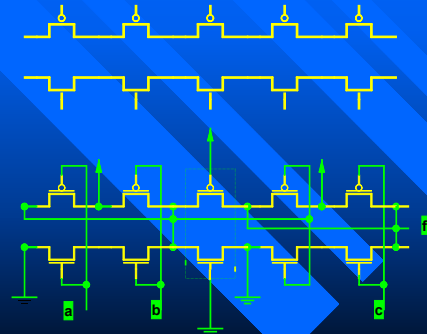


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

27

Bloques Lógicos: Grano fino (CROSSPOINT)



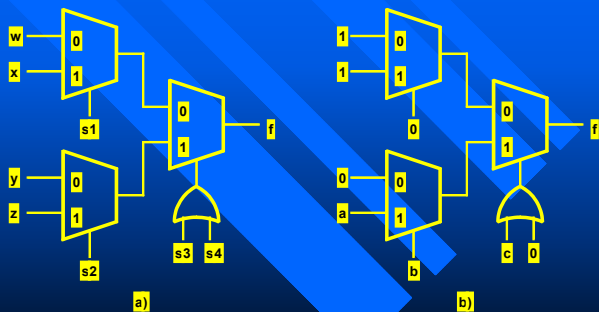
Buen aprovechamiento de los transistores/ Muchas interconexiones

05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

28

Bloques Lógicos: Grano Grueso. Ejemplo: ACTEL (ACT-1)



Bloque programable

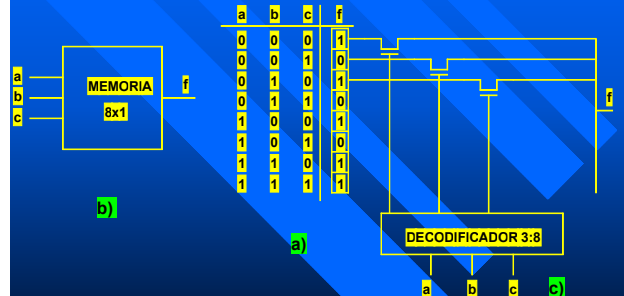
ejemplo de función lógica $f = \overline{((a.b).c)}$

05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

29

Bloques Lógicos: Grano Grueso. Ejemplo: Xilinx. Concepto de LUT



Bloque programable y ejemplo de función lógica $f = \overline{((a.b).c)}$

05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

30

Concepto de LUT

Diferentes tamaños de LUT's

05/02/2002 C. Doctorado: Microelectrónica Digital. Tema III 31

Construcción de LUT (1)

$f = xy + z$

Tabla de verdad

| xyz | f |
|-----|---|
| 000 | 0 |
| 001 | 1 |
| 010 | 0 |
| 011 | 1 |
| 100 | 0 |
| 101 | 1 |
| 110 | 1 |
| 111 | 1 |

Equivalentes

05/02/2002 C. Doctorado: Microelectrónica Digital. Tema III 32

Construcción de LUT (2)

LUTs de 2, 3 y 4 Entradas

Si sube número de entradas, sube área y retraso, pero pueden realizarse funciones más complejas

05/02/2002 C. Doctorado: Microelectrónica Digital. Tema III 33

Efecto del número de entradas en LUTs

Ejemplo: $F = a.b.d + b.c/d + a/b.c$

Realización con 7*3-LUT Retraso = 4*(2-LUT)

Realización con 2*3-LUT Retraso = 2*(3-LUT)

Realización con 1*4-LUT Retraso = 1*(4-LUT)

El tamaño de las LUTs lo define el fabricante a priori

05/02/2002 C. Doctorado: Microelectrónica Digital. Tema III 34

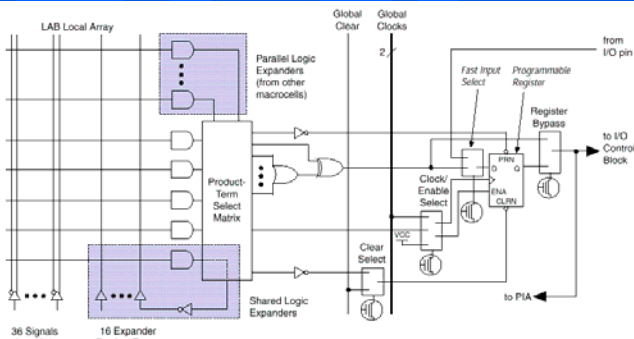
Bloques Lógicos: Grano Grueso. Xilinx. Serie 4000

05/02/2002 C. Doctorado: Microelectrónica Digital. Tema III 35

Bloques Lógicos: Grano Grueso. Altera Max-5000

05/02/2002 C. Doctorado: Microelectrónica Digital. Tema III 36

Bloques Lógicos: Grano Grueso. Altera Max-7000

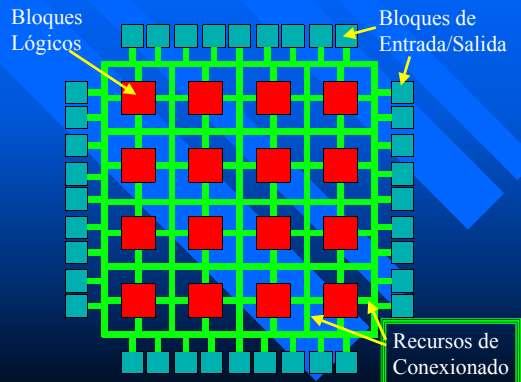


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

37

Modelo de FPGAs

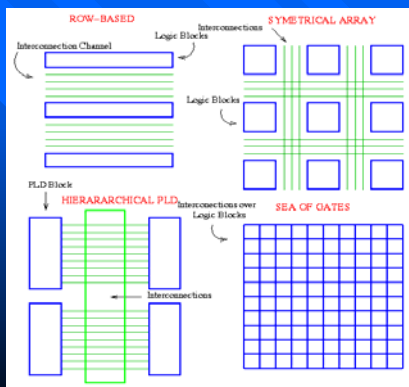


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

38

Interconexión

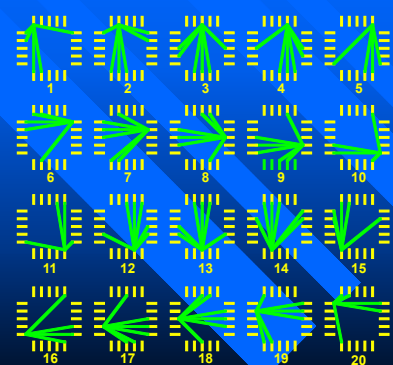


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

39

Interconexión

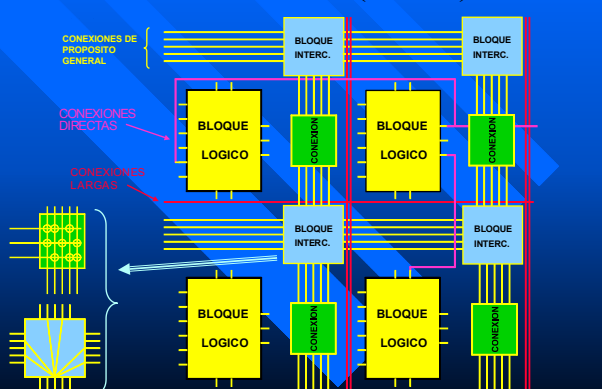


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

40

Interconexión (Xilinx)

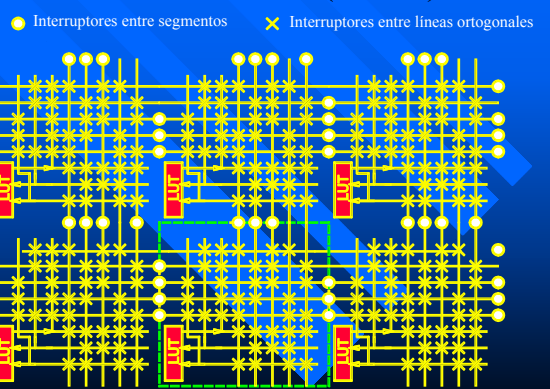


05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

41

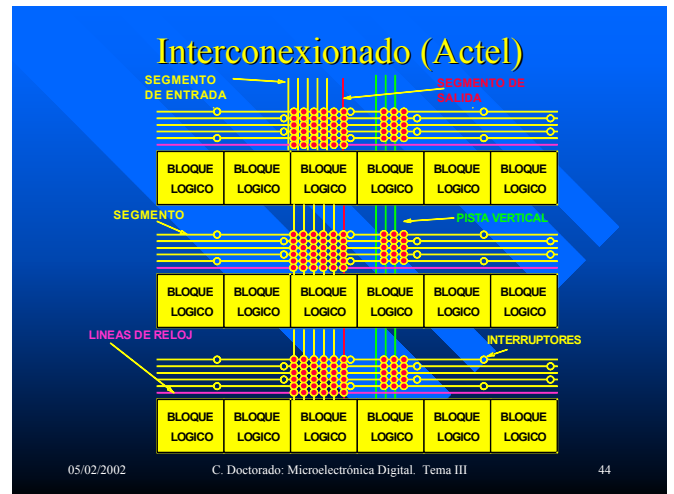
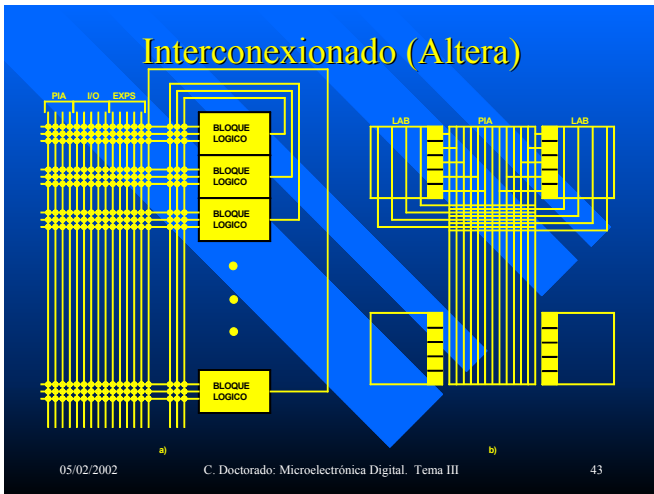
Interconexión (Xilinx)



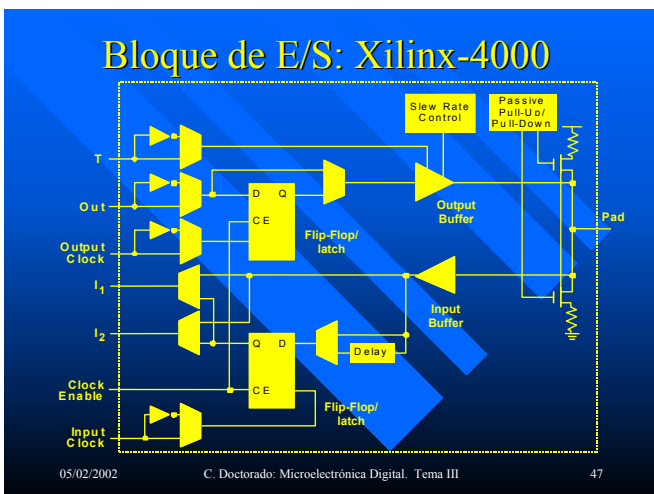
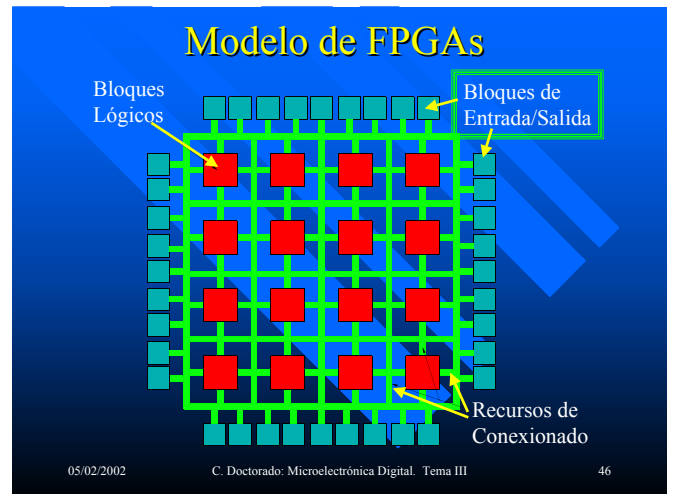
05/02/2002

C. Doctorado: Microelectrónica Digital. Tema III

42



- ### Decisiones sobre Interconexión
- Cuántos segmentos por Canal
 - Cómo de largos
 - Cuántos interruptores de rutado
 - Compromiso entre velocidad y área
 - Herramientas de rutado optimizadas para arquitectura
 - Se requiere mas investigación
- 05/02/2002 C. Doctorado: Microelectrónica Digital. Tema III 45



- ### Comparación PLD-ASIC (1)
- Tamaño:
 - ASIC: 8 Transistores/puerta (rutado)
 - FPGA: 100 Transistores/puerta (rutado+programabilidad)
 - Velocidad: Aprox. 1/3
 - No máscaras:
 - No coste de NRE (muy interesante si hay que rediseñar => Flexibilidad)
 - No espera fabricación de máscaras y prototipos
- 05/02/2002 C. Doctorado: Microelectrónica Digital. Tema III 48

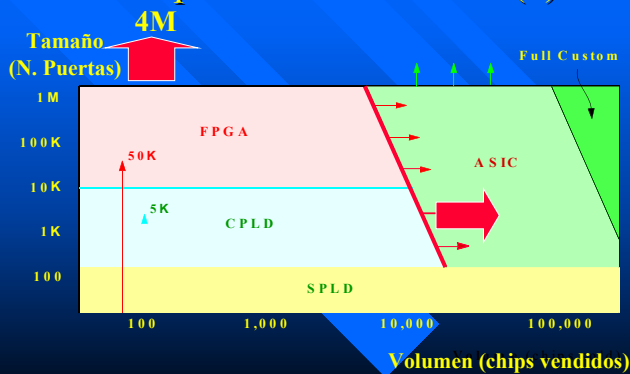
Comparación PLD-ASIC (2)

- Tecnología “última generación” (180 nm, estructuras muy repetitivas)
- Hasta 4 M. Puertas.
- Diseño con las mismas herramientas que ASIC.
- Integración HW/SW se retrasa en los ASICs hasta que no se reciben muestras “buenas”
- Tiempo de llegada al mercado menor que ASIC.

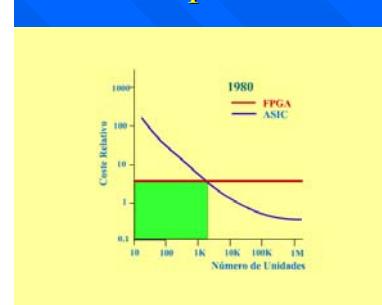
Comparación PLD-ASIC (3)

- Futura Investigación:
 - Mejora de arquitecturas para reducir 100 Tr./Puerta.
 - Mejora algoritmos síntesis... (optimizar uso de recursos internos)
 - Diseño de Dispositivos con módulos especializados (Tratamiento de señal, Comunicaciones...)

Comparación PLD-ASIC (4)



Comparación PLD-ASIC (5)



- Los costes de NRE suben:
 - Coste por máscara
 - Número de máscaras
- Sube pedido mínimo:
 - Sube número de CIs “buenos” al bajar la regla de diseño
 - El tamaño de las obleas sube
- Cada vez quedan menos fabricantes activos

Evolución con el tiempo del límite de rentabilidad entre ASICs y FPGAs

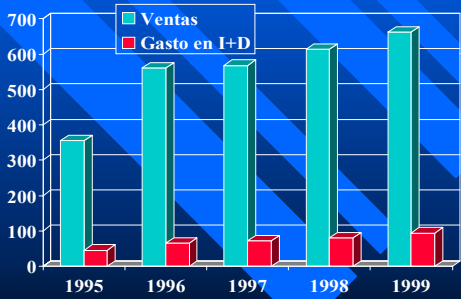
Comparación PLD-ASIC (6)

- Las FPGAs pueden sustituir ASICs por:
 - Capacidad adecuada.
 - Suficientes prestaciones.
 - Costo unitario no muy superior.
 - Son productos estándar.

Uso de FPGAs

- Inicialmente como “Glue Logic”: Uniendo bloques VLSI complejos (baja capacidad).
- Actualmente realizando subsistemas digitales completos (alta capacidad).
 - Realizando diseños que se hubiesen tenido que hacer con ASICs.
 - Emulando partes de ASICs muy complejos.
- En el futuro inmediato, realizando sistemas digitales/analógicos completos (capacidad muy elevada).

Gasto en I+D (Xilinx) (Mill. \$)



Proyección del mercado de Dispositivos Lógicos Programables

